

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026070
 (43)Date of publication of application : 25.01.2002

(51)Int.CI. H01L 21/60
 H01L 23/29
 H01L 23/31

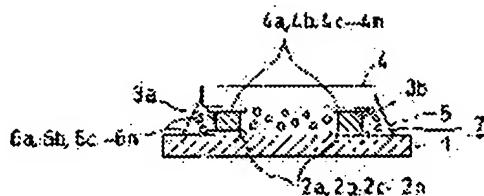
(21)Application number : 2000-202484 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 04.07.2000 (72)Inventor : SEGAWA MASAO
 OISHI MICHIKO
 KARASAWA JUN

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device with high productivity through simple processes as a semiconductor device manufactured by mounting a bare chip IC on a wiring board and the semiconductor device itself.

SOLUTION: This semiconductor device has electrodes of the IC chip joined to electrodes 2a, 2b, 2c,..., 2d of the wiring board 1 across an anisotropic conductive materials 7 and 7a, have fusion type conductive particles 6a, 6b, 6c,..., 6 dispersed in insulating resin 5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26070

(P2002-26070A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl.
H 01 L 21/60
23/29
23/31

識別記号
311

F I
H 01 L 21/60
23/30

テ-マコード(参考)
311S 4M109
R 5F044

審査請求 未請求 請求項の数3 OL (全9頁)

(21)出願番号 特願2000-202484(P2000-202484)

(22)出願日 平成12年7月4日 (2000.7.4)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 潤川 雅雄

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術センター内

(72)発明者 大石 美智子

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術センター内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

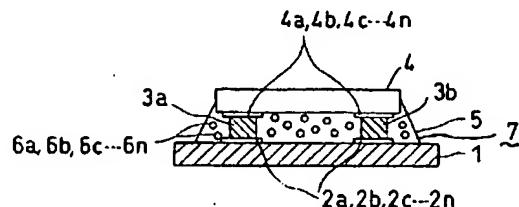
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 配線基板にペアチップICを実装して製造する半導体装置で、簡便な工程で生産性の高い半導体装置の製造方法と、それによる半導体装置を提供すること。

【解決手段】 配線基板1の電極2a, 2b, 2c...2nに異方性導電材を介してICチップの電極が接合されている半導体装置で、異方性導電材7, 7'には、絶縁樹脂5の中に溶融形導電粒子6a, 6b, 6c...6nを分散させる。



【特許請求の範囲】

【請求項1】 配線基板の電極に異方性導電材を介してICチップの電極が接合されている半導体装置において、

前記異方性導電材は、絶縁樹脂の中に前記絶縁樹脂の硬化反応温度よりも高い融点を有する溶融形導電粒子が分散されていることを特徴とする半導体装置。

【請求項2】 配線基板の電極と、ICチップの電極とを封止樹脂で固定するとともに電気的に接合する半導体装置の製造方法において、

前記封止樹脂が硬化しない温度で前記封止樹脂に分散させた前記溶融形導電粒子を溶融することによって前記配線基板の電極と前記ICチップとの電極とを電気的に接続する接続工程と、前記配線基板の電極と前記ICチップとの電極とが接続された後に、前記封止樹脂を前記溶融形導電粒子が溶融しない温度で硬化させる硬化工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記接続工程の後の前記硬化工程の前に、前記ICチップの電極と前記配線基板の電極との導通検査を行なう工程を設けたことを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、配線基板にペアチップICを実装した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 シリコンのペアチップICを配線基板に直接に実装する、ペアチップ実装技術は携帯電話やパソコン等の製造工程での適用を中心に進展を見せており、特に、ペアチップICの接続用電極を配線基板に対向して、フェイスダウンボンディングするフリップチップ実装技術が、最も高密度実装に優れているために実用化が進んでいる。

【0003】 これらのフリップチップ実装の第1の例を以下に説明する。

【0004】 図9(a)から(f)はフリップチップ実装の各工程ごとの模式説明図であり、図10は、そのうちの加熱工程での温度プロファイルと封止樹脂(封止樹脂)の硬化反応率との関係を示すグラフである。

【0005】 まず、ガラスエポキシ板等の配線基材の表面に銅パターン等の電極52a、52b、52c…52nにはんだ処理した配線基板51と、接続電極54a、54b、54c…54nの形成されたペアチップIC54とを準備する(a)。次に、配線基板51にフラックス59を塗布して、はんだ付け性を向上させるための表面処理を行う。また、ペアチップIC54の接続電極54a、54b、54c…54nには、銅と鉛系の共晶はんだ等で、接続用のバンプ53a、53bを形成する(b)。続いて、配線基板51の電極52a、52b、52c…52n

52n…52aとペアチップIC54の接続電極54a、54b、54c…54nに形成されたバンプ53a、53bを位置合わせて、ボンディングツール64で加熱加圧して配線基板51にペアチップIC54を実装する(c)。

【0006】 続いて、ペアチップIC54が実装された配線基板51をリフロー炉(不図示)等を用いて加熱処理を行なう。図10で、加熱温度T1によって示すように、その際の加熱のピーク温度T1は240°C程度である。この温度ではんだを溶融し、配線基板51とペアチップIC54を電気的に接続する。その後に、ペアチップIC54の接続面側に残存しているフラックス59を溶剤等で除去する(d)。

【0007】 続いて、ペアチップIC54と配線基板51の接続強度の向上のために、ペアチップIC54の接続面と配線基板51との間と、側面に封止樹脂55を充填する。この封止樹脂55の充填は、ディスペンサ63を用いて行い、ペアチップIC54の端面に封止樹脂55を塗布して、毛細管現象によりペアチップIC54の接続面と配線基板51の間に樹脂充填を行なう(e)。

【0008】 その後、ペアチップIC54が実装された配線基板51をオープン(不図示)内に収納してオープン加熱工程を施す。その際の、オープン内の加熱条件は、例えば、図10で示した加熱温度T2を150°Cで1時間行い、封止樹脂55を硬化させる(f)。これらの各工程により、半導体装置を製造している。

【0009】 これらの工程で行なわれている加熱工程の加熱条件は、図10に温度プロファイルと封止樹脂の硬化反応率を示すように、まず、はんだ共晶温度以上の設定温度(T1: 240°C)での加熱を行ない、それにより、はんだ溶融によるバンプ接合プロセスを実施する。

【0010】 このリフロー工程により、はんだ接続を行った後に、封止樹脂を塗布し、はんだの融点温度未満の設定温度による加熱硬化工程(加熱温度T2)による封止樹脂の加熱硬化を行う。その結果、加熱硬化終了時に、封止樹脂の硬化反応率は100%となる。この場合、相互の温度の間では、T1(240°C) > T2(150°C)であるので、封止樹脂の樹脂封止の際に、はんだ接合したはんだが溶融することはない。なお、これらのリフロー工程と加熱硬化工程とは、別々の製造装置を用いて行なわれている。

【0011】 また、フリップチップの実装では、はんだと封止樹脂とを一括して加熱することによって接合する方式も用いられている。

【0012】 この一括加熱方式について、第2の例として以下に説明する。図11はフリップチップ実装の各工程ごとの模式説明図であり、図12はそれに対応した温度プロファイルと封止樹脂の硬化反応率との関係を示すグラフである。

【0013】まず、ガラスエポキシ基板等の配線基材の表面に銅パターン等の電極72a、72b、72c…72nにはんだ処理した配線基板71を準備する(a)。次に、配線基板71の表面の所定個所に封止樹脂75をディスペンサ79で塗布する。また、ペアチップIC74の接続電極74a、74b、74c…74nに上述の場合と同様に、錫と鉛系の共晶はんだ等で接続用のバンプ73a、73bを形成する(b)。続いて、配線基板71の電極72a、72b、72c…72nとペアチップIC74の接続電極74a、74b、74c…74nに形成されたバンプ73a、73bとを位置合わせし、ポンディングツール84で加熱・加圧して、配線基板71にペアチップIC74を実装する(c)。

【0014】その後、ペアチップIC74が実装された配線基板71をリフロー炉で熱処理を施す。その際の熱処理の加熱条件は、図12で示すように、ピーク温度T1は240°C程度ではんだを溶融し、配線基板71とペアチップIC74を電気的に接続する。この加熱により、封止樹脂75ははんだ溶融と同時に加熱されて硬化する(d)。

【0015】従って、この場合は上述の場合のように、フラックスの塗布とフラックスの除去工程が不要である。また、毛細管現象によりペアチップIC74の接続面と配線基板71との間に封止樹脂を注入して充填する工程が不要である。

【0016】その後、ペアチップIC74が実装された配線基板71をオープン(不図示)内に収納してオープン加熱工程を施す。その際の、オープン内の加熱条件は、例えば、図12で示した加熱温度T2を150°Cで1時間行い封止樹脂を硬化させる(e)。これらの各工程により、半導体装置を製造している。

【0017】その結果、加熱硬化終了時に、封止樹脂の硬化反応率は100%となる。なね、これらのリフロー工程と加熱硬化工程は、別々の製造装置を用いて行なわれている。

【0018】これらの加熱工程での加熱条件は、図12に温度プロファイルと封止樹脂の硬化反応率を示すように、まず、はんだ共晶温度以上の設定温度(T1)を行ない、それにより、はんだ溶融によるバンプ接合プロセスを実施する。

【0019】このリフロー工程により、はんだ接続を行った後に、封止用の封止樹脂を塗布し、加熱硬化工程(加熱温度T2)による封止樹脂の加熱硬化を行う。

【0020】

【発明が解決しようとする課題】しかしながら、上述の実装技術の第1の例では、フラックス塗布工程と、はんだ接続後のフラックス除去工程が煩雑で好ましくない。また、フリップチップ接続後の封止樹脂工程で、封止樹脂をペアチップICと配線基板の間の狭いギャップに侵入させて充填させる必要があり、短時間で効率よく処理

するのが困難であった。

【0021】また、ペアチップICの全面にバンプが配置されるとフリップチップ接続が困難になる。さらに、ペアチップICの全面に、エリヤバンプ配置で、かつ、バンプピッチが300μm以下になると、封止樹脂の封止工程がさらに困難になる。

【0022】また、第2の例の場合は、プロセス上はんだ溶融と絶縁樹脂の加熱硬化が同時に進行するため、配線基板へのペアチップICの実装後に、不良のペアチップICを剥離除去(リペア)することが出来ない。そのため、歩留りが低下する。

【0023】さらに、これらの各例では、配線基板の電極とペアチップICの電極との電気的な接続のために、バンプ形成が必須となるため、実装コストが高く、低コストが課題であった。

【0024】本発明はこれらの事情にもとづいてなされたもので、配線基板にペアチップICを実装して製造する半導体装置で、簡単な工程で生産性の高い半導体装置の製造方法と、それによる半導体装置を提供することを目的としている。

【0025】

【課題を解決するための手段】請求項1の発明による手段によれば、配線基板の電極に異方性導電材を介してICチップの電極が接合されている半導体装置において、前記異方性導電材は、絶縁樹脂の中に前記絶縁樹脂の硬化反応温度よりも高い融点を有する溶融形導電粒子が分散されていることを特徴とする半導体装置である。

【0026】また請求項2の発明による手段によれば、配線基板の電極と、ICチップの電極とを封止樹脂で固定するとともに電気的に接合する半導体装置の製造方法において、前記封止樹脂が硬化しない温度で前記封止樹脂に分散させた前記溶融形導電粒子を溶融することによって前記配線基板の電極と前記ICチップとの電極とを電気的に接続する接続工程と、前記配線基板の電極と前記ICチップとの電極とが接続された後に、前記封止樹脂を前記溶融形導電粒子が溶融しない温度で硬化させる硬化工程とを有することを特徴とする半導体装置の製造方法である。

【0027】また請求項3の発明による手段によれば、前記接続工程の後の前記硬化工程の前に、前記ICチップの電極と前記配線基板の電極との導通検査を行なう工程を設けたことを特徴とする半導体装置の製造方法である。

【0028】

【発明の実施の形態】以下、本発明の半導体装置とその製造方法の実施の形態を、図面を参照して説明する。

【0029】図1は本発明の第1実施の形態を示す半導体装置の側面断面図である。配線基板1は、厚さ1.0mm程度のガラスエポキシ材の基板の表面には、300μmピッチの銅の配線パターンが形成され、その一部に

金めっき、あるいは、はんだめっきを施した電極2a、2b、2c…2nが形成されている。なお、基板の材料には、ガラスエポキシ材の他に、ポリイミドやセラミックス等を用いることもできる。

【0030】この電極2a、2b、2c…2n上には、はんだバンブ3a、3bを介してICチップであるペアチップIC4が実装されている。なお、ペアチップIC4は表面に電気めっき法により、接続電極4a、4b、4c…4nの上に、はんだバンブ3a、3bが形成されている。

【0031】また、配線基板1とペアチップIC4との間、および、ペアチップIC4の側面には、封止樹脂であるエポキシ樹脂等の絶縁樹脂5に溶融形導電粒子6a、6b、6c…6nが分散された異方性導電材7が充填されている。

【0032】溶融形導電粒子6a、6b、6c…6nは、図2(a)から(b)に示すいずれかのものを、単独又は任意に組合させて用いることができる。

【0033】図2(a)に示した溶融形導電粒子6a、6b、6c…6nは、粒径が30μm～50μm程度のはんだボール8の外側に、厚さ10μm～20μm程度のフラックス9の被膜がコーティング処理により形成されている。なお、図示しないが、溶融形導電粒子の中央部を粒径が20～35μm程度のフラックスをコアとするボールで形成し、その外側をはんだ被膜で覆うといふはんだボールとフラックスの構成を逆にした構成であってもよい。そのフラックスをコアとする溶融形導電粒子の製法は、固形状のはんだとフラックスを、漸次、孔径が小さく形成されている微小孔を通して、塑性変形させながら延ばして、中央部がフラックスで、その周囲がはんだで構成される糸はんだを製作する。次に、その糸はんだを、棒状に分断し、先端と後端を絞り成形することで、はんだボールを製造することが可能である。

【0034】図2(b)に示した溶融形導電粒子6a、6b、6c…6nは、銅等によるメタルコア11の外側に、はんだ12の接合材料を被覆し、さらにその外側にフラックス9をコーティングにより被覆して形成したものである。

【0035】図2(c)に示した溶融形導電粒子6a、6b、6c…6nは、図2(b)に示した溶融形導電粒子6a、6b、6c…6nの構造において、最外層のフラックス9が被覆されていない構成のものである。この場合、異方性導電材7に分散して使用する際は、別にフラックスを分散させるか、あるいは、絶縁樹脂5にフラックス作用を持たせるようにする。

【0036】なお、溶融形導電粒子6a、6b、6c…6nは錫・鉛・インジウム・ビスマス・金等の組合せからなる共晶形のはんだ等としても応用することが可能である。その場合の、はんだの組成は、錫37%～錫63%、鉛95%～錫5%、錫96.5%～銀3.5%、他

インジウム添加等で、フラックス9は主剤(アビチエン酸等のロジン) + 溶剤(アルコール等)である。

【0037】異方性導電材は、絶縁性の熱硬化形樹脂の中に、上述の溶融形導電粒子のいずれかを10～25%程度を分散させることで製造されている。また、異方性導電材の形状は、シート状もしくはペースト状に形成することができる。シート状の異方性導電材7の製造方法は、硬化前のエポキシ樹脂に、溶融形導電粒子をあらかじめ分散して混練し、その後にシート状に引き延ばして、仮硬化させる。また、絶縁性の熱硬化形樹脂の種類は、アクリル(変性)樹脂、ポリイミド樹脂、ブタジエン樹脂、フェノール樹脂等を用いることができる。

【0038】次に、本発明の第1の実施の形態である異方性導電材を用いたフリップチップ実装方法を説明する。図3(a)～(e)は、本発明のフリップチップ実装方法の工程模式図である。なお、ボンディング装置は、一般に用いられている装置を使用しているので、装置関係の説明は省略する。

【0039】まず、厚さ1.0mm程度のガラスエポキシ材の基板の表面に、300μmピッチの銅の配線パターンが形成され、その一部に金めっき、あるいは、はんだ処理を施した電極2a、2b、2c…2nが形成されている配線基板1を図示しないボンディング装置にセットする(a)。

【0040】次に、配線基板1の電極2a、2b、2c…2nの形状、もしくは、チップの外形サイズ程度に外形を切断したシート状の異方性導電材7を配線基板1上に形成する。

【0041】または、シート状の異方性導電材7の代わりに異方性導電ペースト7aを用いて、ディスペンサ13により、配線基板1の表面にディスペンス塗布する(b)。

【0042】次に、ボンディングツール14に吸着され、接続電極4a、4b、4c…4n上に、はんだバンブ3a、3bが予め形成されているペアチップIC4を、はんだバンブ3a、3bを異方性導電材7(または、異方性導電ペースト7a)を介して、配線基板1の電極2a、2b、2c…2nに位置合わせて仮固定する(c)。この際は、異方性導電材7の絶縁樹脂5であるエポキシ樹脂の粘着力で、ペアチップIC4と配線基板1とを固定することができる。また、ペアチップIC4のはんだバンブ3a、3bと配線基板1の電極2a、2b、2c…2nとの間には、異方性導電材7の溶融形導電粒子6a、6b、6c…6nの複数個が分散配置して介在している。

【0043】次に、加熱ヒータ機能を具えたボンディングツール14を用いて、加熱のピーク温度150°C程度で、加熱加圧してはんだを溶融することにより、配線基板1の電極2a、2b、2c…2nとはんだバンブ3a、3bを接合して、配線基板1にチップペアチップ

IC4を電気的に接続する。なお、この接合の際に、異方性導電材7の溶融形導電粒子6₁、6₂、6₃…6_nの中のフラックス9がはんだの濡れ性を促進して、良好なはんだ付けが達成できる(d)。

【0044】次に、異方性導電材7の絶縁樹脂5であるエポキシ樹脂を、150°Cから200°C程度で加熱硬化させる。この処理により、微細はんだ接続と絶縁樹脂5による樹脂封止とを一括リフロー工程で実現できる(e)。

【0045】図4は、本発明のフリップチップ実装工程のシーケンスを説明する温度プロファイルを示したチャートである。

【0046】この実装工程では、はんだは、その溶融温度が絶縁樹脂の硬化温度より低いものを用いている。また、前半の工程で、はんだ接続(温度T2)を行い、後半の工程で樹脂硬化(温度T1)を行っている。

【0047】なお、絶縁樹脂の硬化のタイミングは、絶縁樹脂の組成と硬化剤の組合せにより制御が可能である。絶縁樹脂の反応硬化率を、はんだ接続時(温度T2)では0%で、樹脂硬化時(温度T1)で100%になるように樹脂組成を制御する。例えば、エポキシ樹脂の変性と硬化反応剤(アミン系等)の組合せにより硬化温度が、120~200°C以上の範囲内で調整が可能である。

【0048】また、硬化時間も数秒~数時間で調整できる。短時間での硬化を実現するためには、硬化剤はマイクロカプセル化して用いると効果的である。特に、数秒の硬化時間の場合は、硬化反応剤を薄い樹脂で覆い、所望の温度(例えば、数10°C)で被膜を破る様なマイクロカプセルを用いることにより、硬化反応のタイミングの制御が可能である。

【0049】その際には、ボンディング装置のステージとボンディングツールとには、加熱ヒータを装備して、温度プロファイルの制御を可能にすることで容易に実現できる。

【0050】この方式は、はんだ接合の際にペアチップIC4押圧して、電極間の接続を確実にできるメリットがある。また、後の検査工程で、不具合品を見た際には、加熱することにより接続部を溶融して、ペアチップICと配線基板とを分離し、不具合部品を交換して上述のプロセスで接合して良品を製造することができる。

【0051】また、この第1の実施の形態には、はんだ接続後に追加工程として、ペアチップICの接続検査を行ない、不具合品を見た際には、加熱することにより接続部を溶融して、接続の修正等を行なうことができる。

【0052】それは、図4で示したように、はんだ接続していても絶縁樹脂は硬化していないので、もし、接続不良やICチップの動作機能不良が確認されたときには、はんだ接続部を加熱溶融することで、ペアチップIC

ICを配線基板から容易に取り外すことができる。それにより、別のペアチップICを再搭載(リペア)することもできる。

【0053】図5に、この検査工程が付加されたプロセスの温度プロファイルを示す。この場合、はんだ接続後に接続の電気検査を行うため、ペアチップICを実装した配線基板は、そのために、一度ボンディング装置から取り外す。その後、必要に応じてリペア等の工程を行い、それ以降に、樹脂硬化のためにオーブン乾燥等を行う。

【0054】なお、オーブン乾燥時には、絶縁樹脂の加熱膨潤により、はんだ接続がオーブンになる場合を防ぐために、ペアチップICの裏面から押圧手段(不図示)を用いて押圧して行なうのが好ましい。

【0055】次に、本発明の第2の実施の形態について説明する。

【0056】図6は本発明の半導体装置の一例を示す、第2実施の形態である半導体装置の側面断面図である。

【0057】配線基板21は、厚さ1.0mm程度のガラスエポキシ材の基板の表面には、300μmピッチの銅の配線パターンが形成され、その一部に金めっき、あるいは、はんだ処理を施した電極22₁、22₂、22₃…22_nが形成されている。なお、基板の材料には、ガラスエポキシ材の他に、ポリイミドやセラミックス等を用いることができる。

【0058】この電極22₁、22₂、22₃…22_n上には、接続電極24₁、24₂、24₃…24_nにより接合したペアチップIC24が実装されている。また、配線基板21とペアチップIC24との間、および、ペアチップIC24の側面には、エポキシ樹脂等の絶縁樹脂25に溶融形導電粒子26₁、26₂、26₃…26_nが分散された異方性導電材27が充填されている。

【0059】なお、溶融形導電粒子26₁、26₂、26₃…26_nおよび異方性導電材27については、第1の実施の形態の際に説明したものと同様なので、その説明は省略する。

【0060】次に、本発明の第2の実施の形態の実装方法を、図7(a)から(e)に示す工程模式図を参照して説明する。

【0061】なお、第1の実施の形態と同様に、ボンディング装置は、一般に用いられている装置を用いているので、装置関係の説明は省略する。

【0062】まず、厚さ1.0mm程度のガラスエポキシ材の基板の表面に、300μmピッチの銅の配線パターンが形成され、その一部に金めっき、あるいは、はんだ処理を施した電極22₁、22₂、22₃…22_nが形成されている配線基板1を図示しないボンディング装置にセットする(a)。

【0063】次に、配線基板21の電極22₁、22₂、22₃…22_n

2_b、2_c…2₂。状、もしくは、チップの外形サイズ程度に外形を切断したシート状の異方性導電材2₇を配線基板2₁上に形成する。または、シート状の異方性導電材2₇の代わりに異方性導電ペースト2₇を用いて、ディスペンサ3₃により、配線基板2₁の表面にディスペンス塗布する(b)。

【0064】次に、ボンディングツール3₄に吸着されて、接続電極2_{4a}、2_{4b}、2_{4c}…2₄が予め形成されているペアチップIC2₄を溶融導電粒子2_{6a}、2_{6b}、2_{6c}…2₆が分散している異方性導電材2₇(または、異方性導電ペースト2₇)を介して、配線基板2₁の電極2_{2a}、2_{2b}、2_{2c}…2₂に位置合わせて仮固定する(c)。この際は、異方性導電材2₇の絶縁樹脂2₅である、エポキシ樹脂の粘着力で、ペアチップIC2₄と配線基板2₁とを固定することができる。また、ペアチップIC2₄の接続電極2_{4a}、2_{4b}、2_{4c}…2₄と配線基板2₁の電極2_{2a}、2_{2b}、2_{2c}…2₂との間には、異方性導電材2₇の溶融導電粒子2_{6a}、2_{6b}、2_{6c}…2₆の複数個が分散配置して介在している。

【0065】なお、ペアチップIC2₄の接続電極2_{4a}、2_{4b}、2_{4c}…2₄は、例えばクロム、ニッケル、金の金属を蒸着やスパッタ法で形成したバリヤメタルも用い、その他にも、無電解ニッケルと金めっきの組合せ処理たものを用いてもよい。また、第1の実施の形態と同様に、はんだパンプ3_a、3_bを形成したものを用いることもできる。いずれにしろ、溶融導電粒子のはんだが溶融して濡れる、接続電極2_{4a}、2_{4b}、2_{4c}…2₄の表面処理であれば良い。

【0066】次に、加熱ヒータ機能を具えたボンディングツール3₄を用いて、加熱のピーク温度が240°C程度で、はんだを溶融して、配線基板2₁の電極2_{2a}、2_{2b}、2_{2c}…2₂とペアチップIC2₄の接続電極2_{4a}、2_{4b}、2_{4c}…2₄とを電気的に接続する。なお、この接合の際に、異方性導電材2₇の溶融導電粒子の中のラックス2₉がはんだの濡れ性を促進して、良好なはんだ付けが達成できる(d)。

【0067】さらに、異方性導電材2₇の絶縁樹脂2₅であるエポキシ樹脂を、150°Cから200°C程度で加熱硬化させる。この処理により、微細はんだ接続と樹脂封止とを連続した製造工程が実現できる。

【0068】図8は、これらの実装工程のシーケンスを説明する温度プロファイルを示したチャートである。

【0069】この実装工程では、はんだは、その溶融温度が絶縁樹脂の硬化温度より高いものを用いている。また、前半の工程で、はんだ接続(T2)を行い、後半の工程で樹脂硬化(T1)を行っている。

【0070】なお、第1の実施の形態で説明したように、絶縁樹脂の硬化のタイミングは、絶縁樹脂の組成と硬化剤の組合せで制御が可能であるので、それにより、

絶縁樹脂の反応硬化性を遅くすることを用いることで、はんだ接続時には、絶縁樹脂が未硬化状態を維持する制御を行なうことができる。

【0071】なお、異方性導電材や異方性導電ペーストに分散する溶融形導電粒子として、図2(a)から(c)で示した形態の他に、使用温度によっては、はんだボール8とラックス9を分離して樹脂に混在分散する形態のものを用いることもできる。

【0072】以上に述べたように、本発明によれば、通常の従来の製造工程で行なわれていたラックス塗布と洗浄工程が不要になり、かつ、封止樹脂工程が極めて簡便にできるため、製造工程の簡素化が実現できる。

【0073】また、配線基板へペアチップICを実装後に、不良品が発生した場合には、それを剥離除去(リペア)できる工程を付加できるので、製造工程での損失の縮減を行なうことができる。

【0074】

【発明の効果】本発明によれば、簡便な製造プロセスを用いることで、配線基板とペアチップICの各電極同士の接続が良好な半導体装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の一例を示す第1実施の形態である半導体装置の側面断面図。

【図2】(a)から(c)は、本発明の溶融形導電粒子の構造図。

【図3】(a)～(e)は、本発明の第1実施の形態の実装方法の工程模式図。

【図4】本発明の実装方法の温度プロファイルのチャート。

【図5】検査工程が付加されたプロセスの温度プロファイルのチャート。

【図6】本発明の一例を示す第2実施の形態である半導体装置の側面断面図。

【図7】(a)～(e)は、本発明の第2の実施の形態の実装方法の工程模式図。

【図8】本発明の第2の実施の形態の温度プロファイルを示したチャート。

【図9】(a)～(f)は、従来の実装方法の工程模式図。

【図10】従来の実施の形態の温度プロファイルを示したチャート。

【図11】(a)～(e)は、従来の実装方法の工程模式図。

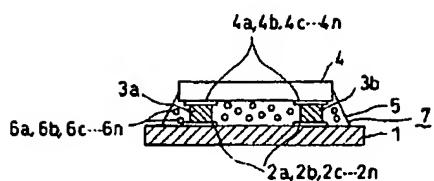
【図12】従来の実施の形態の温度プロファイルを示したチャート。

【符号の説明】

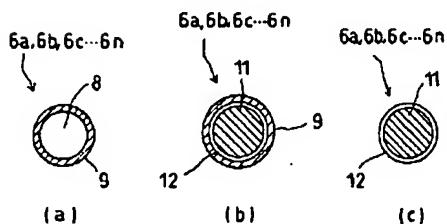
2₁…配線基板、2_a、2_b、2_c…2_{2a}、2_{2b}、2_{2c}…電極、3_a、3_b…パンプ、4、2₄…ペアチップIC、5、2₅…絶縁樹脂、

6_a、6_b、6_c～6_n、26_a、26_b、26_c～26_n…溶融形導電粒子、7、27…異方性導電材

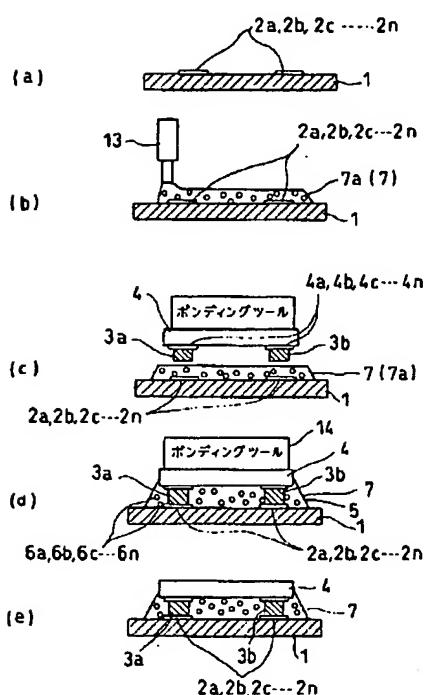
【図1】



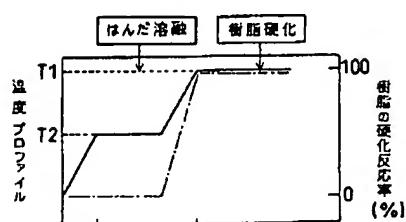
【図2】



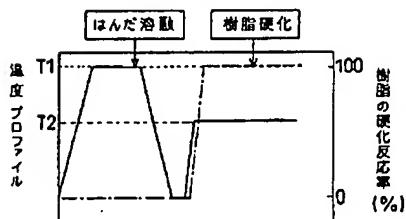
【図3】



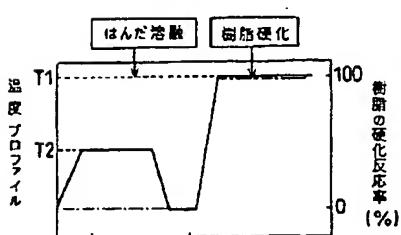
【図4】



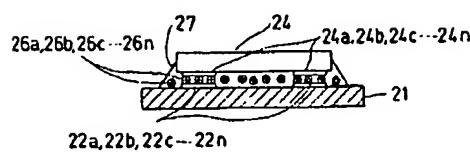
【図8】



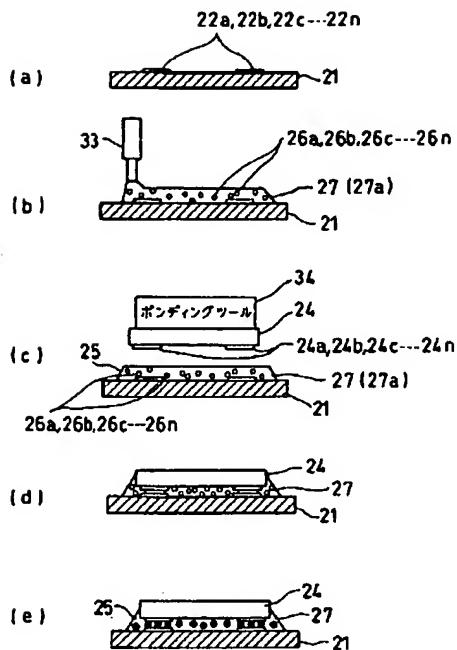
【図5】



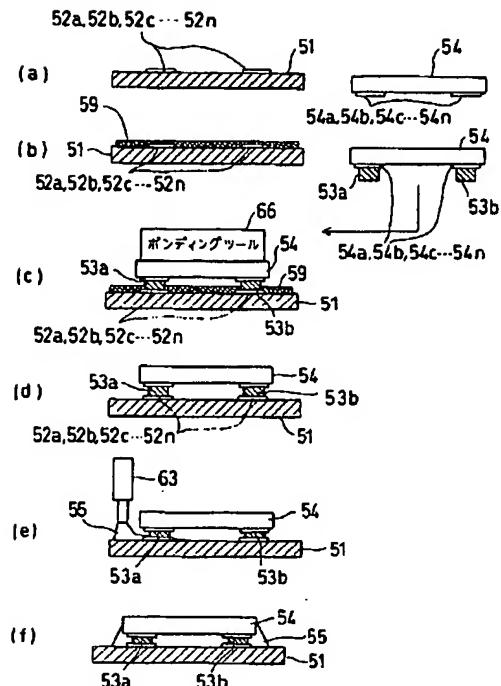
【図6】



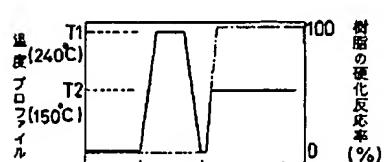
【図7】



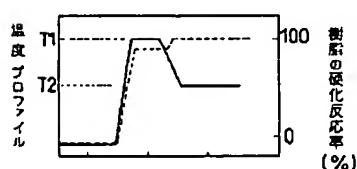
【図9】



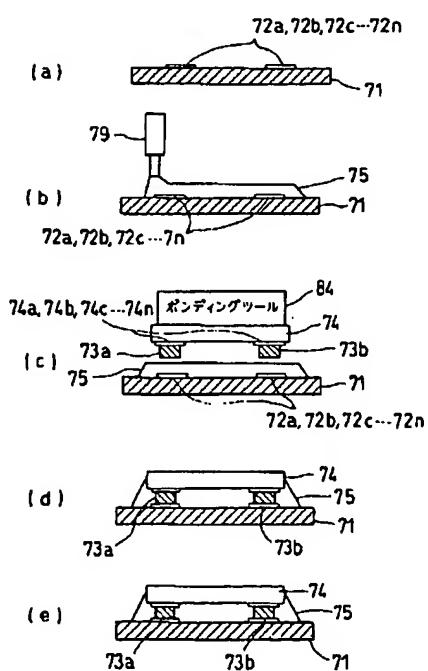
【図10】



【図12】



【図11】



フロントページの続き

(72)発明者 唐沢 純
神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術センター内

F ターム(参考) 4M109 AA01 BA03 CA04 EB11
5F044 KK01 LL05 LL09 QQ01